



JP-HEI-1-282836 (Cited Document 3)

## MANUFACTURE OF SEMICONDUCTOR DEVICE

5 The U trench isolation of the present invention has a void inside the trench and is different from the conventional structure that polysilicon is filled in the trench.

Reference is made to Fig. 2(a). Similar to the embodiment shown in Fig. 1, an  $\text{SiO}_2$  film 12 (10000 nm in thickness) and an  $\text{Si}_3\text{N}_4$  film 13 (first layer  
10 antioxidizing film: 20000 nm in thickness) are stacked on a silicon substrate 11. A PSG film 14 (etching protection film: 1  $\mu\text{m}$ ) is deposited on the  $\text{Si}_3\text{N}_4$  film, and a resist mask 15 is selectively formed on the PSG film.

Reference is made to Fig. 2(b). Next, by using the resist mask 15, the PSG film 14,  $\text{Si}_3\text{N}_4$  film 13 and  $\text{SiO}_2$  film 12 are patterned and thereafter the  
15 silicon substrate 11 is etched by RIE to form a U trench 16 having a width of 0.5 to 1  $\mu\text{m}$  and a depth of 4 to 6  $\mu\text{m}$ .

Reference is made to Fig. 2(c). Next, the resist mask 15 and PSG film 14 are removed by etching, and the inside of the U trench 16 is cleaned. The above-described processes are similar to those of the embodiment described with  
20 reference to Fig. 1.

Reference is made to Fig. 2(d). Next, heat treatment is performed at a high temperature to oxidize the inner surface of the U trench 16 to form an  $\text{SiO}_2$  film (10000 nm in thickness) 17 and further an  $\text{SiO}_2$  film 18 (10000 nm in thickness) and an  $\text{Si}_3\text{N}_4$  film (second layer antioxidizing film: 10000 nm in thickness) 19 are  
25 deposited on the whole inner surface of the U trench by CVD. In this example, the  $\text{SiO}_2$  film 20 shown in Fig. 1 is not formed.

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

Reference is made to Fig. 2(e). Next, an SOG film 31 is coated on the whole surface of the substrate including the U trench 16. Thereafter, the SOG film 31 is baked at a low temperature of 200 °C and thereafter control-etched to a depth of about 1 μm in the U trench by BHF solution to thereby bury and leave the  
5 SOG film 31 only in a bottom region of the U trench 16. The reason of baking the SOG film at the low temperature is to prevent cracks in the SOG film filled in the U trench.

Reference is made to Fig. 2(f). By using the SOG film 31 as a mask, the Si<sub>3</sub>N<sub>4</sub> film 19 is etched and removed with hot phosphoric acid solution, and the  
10 SOG film 31 in the bottom region of the U trench 16 is removed with BHF. The second layer Si<sub>3</sub>N<sub>4</sub> 19 is left only at the bottom of the U trench.

Reference is made to Fig. 2(g). Next, the substrate is heated at a high temperature in an oxidizing atmosphere to oxidize the upper side wall of the U trench to grow an SiO<sub>2</sub> film 22 on the trench inner surface to close the upper portion  
15 of the U trench. At this time, the bottom region of the U trench is hollow.

Reference is made to Fig. 2(h). Next, an SOG film 32 is coated on the whole surface of the substrate including a recess on the upper surface of the U trench and heated to 900 to 1000 °C to form an SiO<sub>2</sub> film and an unnecessary SOG film 32 is removed by chemical polishing to planarize the surface thereof. In this  
20 step, a PSG film or a BPSG film may be used and planarized instead of the SOG film 32.

Thereafter, the Si<sub>3</sub>N<sub>4</sub> film is etched and removed to complete the U trench isolation.

According to the U trench isolation forming methods described in the  
25 two embodiments, the problem that the U trench gives stress to a peripheral region can be mitigated and generation of crystal defects to be caused by forming the U

**THIS PAGE BLANK (USPTO)**

trench can be prevented.

As apparent from the above description, according to the manufacture method of the present invention, the inside of the U trench isolation is hollow so that the peripheral region of the U trench is not applied with stresses.

5

Figs. 2(a) to 2(h) are cross sectional views sequentially illustrating the manufacture method (II) of the present invention.

11... silicon substrate, 12... SiO<sub>2</sub> film, 13... Si<sub>3</sub>N<sub>4</sub> film (first layer antioxidizing film), 14... PSG film, 15... resist mask, 16... U trench

10

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-282836

(43)Date of publication of application : 14.11.1989

(51)Int.Cl.

H01L 21/76

(21)Application number : 63-113062

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.05.1988

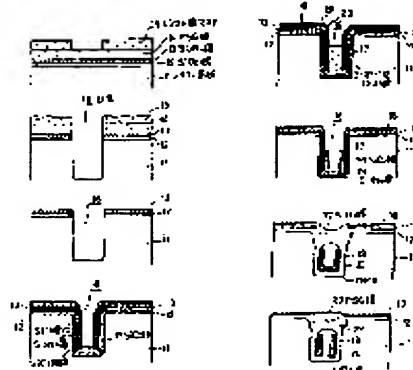
(72)Inventor : KURITA KAZUYUKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To block the upper section of a U trench, to prevent the generation of a crystal defect and to improve the yield of an IC by oxidizing the sidewall of the upper section of the internal surface of the U trench and growing a silicon oxide film on the internal surface of the U trench.

CONSTITUTION: An etching protective mask 15 containing a first layer antioxidizing film 13 is formed selectively onto a silicon substrate 11, and the substrate 11 is etched to shape a U trench 16. A second layer antioxidizing film 19 is applied onto the whole surface of the substrate 11 including the internal surface of the U trench 16. The antioxidizing film 19 on the surface of the substrate 11 containing the upper section of the internal surface of the U trench 16 is removed. An upper section in the U trench 16 is thermally oxidized while using the antioxidizing film 13 applied onto the surface of the substrate 11 and the antioxidizing film 19 applied on the bottom of the internal surface of the U trench 16 as protective masks to shape a silicon oxide film 22, and the upper section in the U trench 16 is blocked. A silicon oxide film 23 is applied onto the top face of the U trench 16, and flattened. Accordingly, the generation of a crystal defect is prevented, and the yield of an IC is improved.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-282836

⑮ Int. Cl.<sup>4</sup>  
H 01 L 21/76

識別記号 庁内整理番号  
L-7638-5F

⑬ 公開 平成1年(1989)11月14日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭63-113062

⑱ 出 願 昭63(1988)5月9日

⑲ 発 明 者 栗 田 和 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

シリコン基板上に選択的に第1層目の酸化防止膜を含むエッチング保護マスクを形成し、前記シリコン基板をエッチングしてU溝を形成する工程、  
次いで、前記U溝の内面を含むシリコン基板全面に第2層目の酸化防止膜を被覆する工程、  
次いで、前記U溝の内面上部を含むシリコン基板表面の前記第2層目の酸化防止膜を除去する工程、  
次いで、前記シリコン基板表面を被覆した第1層目の酸化防止膜および前記U溝の内面底部を被覆した第2層目の酸化防止膜を保護マスクとしてU溝内の上部を熱酸化して酸化シリコン膜を生成し、U溝内の上部を閉塞する工程、  
次いで、前記U溝の上面に酸化シリコン膜を被着して平坦化する工程が含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【概要】

素子分離のためのU溝の形成方法に関し、  
U溝内の酸化シリコン膜の生成に基づくU溝周囲部分の結晶欠陥の発生を防止することを目的とし、

シリコン基板上に選択的に第1層目の酸化防止膜を含むエッチング保護マスクを形成し、前記シリコン基板をエッチングしてU溝を形成する工程、  
次いで、前記U溝の内面を含むシリコン基板全面に第2層目の酸化防止膜を被覆する工程、  
次いで、前記U溝の内面上部を含むシリコン基板表面の前記第2層目の酸化防止膜を除去する工程、  
次いで、前記シリコン基板表面を被覆した第1層目の酸化防止膜および前記U溝の内面底部を被覆した第2層目の酸化防止膜を保護マスクとしてU溝内の上部を熱酸化して酸化シリコン膜を生成し、U溝内の上部を閉塞する工程、  
次いで、前記U溝の上面に酸化シリコン膜を被着

して平坦化する工程が含まれてなることを特徴とする。

#### 〔産業上の利用分野〕

本発明はICなどの半導体装置の製造方法に係り、特に、素子分離のためのU溝形成方法に関する。

半導体装置の製造方法においては、ICを高集積化する目的で素子分離帯としてU溝分離（トレンチ分離；trench isolation）が形成されているが、そのようなU溝は深い凹部を形成して埋設する方法であるから、製造歩留に影響を与え易く、それを十分に考慮した形成方法が望まれる。

#### 〔従来の技術〕

従前、素子分離帯としてpn接合分離や絶縁膜分離が用いられていたが、いずれも微細化が困難で、最近、開口幅1μm以下に微細に形成できるU溝分離が重用されている。

さて、従来のU溝の形成方法を説明すると、第

3図(a)～(f)にその形成工程順断面図を示しており、同図によつて順を追つて説明する。

第3図(a)参照：まず、シリコン基板1上に酸化シリコン(SiO<sub>2</sub>)膜2（膜厚500～1000Å）を形成し、その上に窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜3（膜厚2000Å）を被着し、その上に焼シリケートガラス(PSG)膜4（膜厚1μm）を被着し、更に、その上に選択的にレジスト膜マスク5を形成する。なお、SiO<sub>2</sub>膜2は直接Si<sub>3</sub>N<sub>4</sub>膜3を被着すると、シリコン基板にストレスを与えるため、それを緩和する緩衝層である。

第3図(b)参照：次いで、レジスト膜マスク5を用いて、PSG膜4、Si<sub>3</sub>N<sub>4</sub>膜3およびSiO<sub>2</sub>膜2を弗素系反応ガスによつてエッチングしてパターンニングし、次に、塩素系の反応ガスを用いたリアクティブイオンエッチング(RIE)によつてエッチングして、幅0.5～1μm、深さ4～5μm程度のU溝6を形成する。この時、レジスト膜マスク5は大部分が消耗して、PSG膜4がエッチング保護マスクとしての役目をする。また、

この工程でPSG膜4、Si<sub>3</sub>N<sub>4</sub>膜3およびSiO<sub>2</sub>膜2をパターンニングした後、レジスト膜マスク5を除去して、PSG膜4のみをエッチング保護マスクとしても良い。

第3図(c)参照：次いで、残存しているレジスト膜マスク5をアッシング（灰化）除去し、更に、弗酸系のエッチング剤によつてPSG膜4をエッチング除去し、更に、弗酸・硝酸系エッチング剤によつてU溝6の内部をクリーニングする。

第3図(d)参照：次いで、高温熱処理してU溝6内表面を酸化し、SiO<sub>2</sub>膜7（膜厚1000Å）を生成した後、化学気相成長(CVD)法で多結晶シリコン膜8を被着して、U溝6の内部を埋設させる。この時、多結晶シリコン膜8はU溝の側面から成長して溝中央に進み、かくして溝内部が埋設される。

第3図(e)参照：次いで、表面に被着した多結晶シリコン膜8を化学研磨法で研磨して除去し、表面を平坦化する。この場合、Si<sub>3</sub>N<sub>4</sub>膜3はエッチング阻止層の役目を果たす。

第3図(f)参照：次いで、U溝6内上部の多結晶シリコン膜8を熱酸化してSiO<sub>2</sub>膜9を生成し、最後にSi<sub>3</sub>N<sub>4</sub>膜3をエッチング除去して、U溝分離帯を完成させる。なお、このようなU溝分離法は別名をIOP（Isolation with Oxide and Polysilicon）法と呼んでいる。

#### 〔発明が解決しようとする課題〕

ところが、上記のようなIOP法によるU溝分離帯の形成方法において、多結晶シリコン膜8をU溝内に充填し、その多結晶シリコン膜の上部を酸化させて酸化シリコン膜を生成する形成方法は、シリコンの酸化による体積膨張のためにU溝の周囲にストレスを与え、それによる結晶欠陥を誘発してIC、LSIなどの歩留低下を来すと云う問題がある。

本発明はこのようなU溝内の酸化シリコン膜の生成に惹づく結晶欠陥の誘発を防止することを目的とした製造方法を提案するものである。

## 〔課題を解決するための手段〕

その課題は、シリコン基板上に選択的に第1層目の酸化防止膜（例えば、窒化シリコン膜（酸化シリコン膜を介した窒化シリコン膜））を含むエッチング保護マスクを形成し、前記シリコン基板をエッチングしてU溝を形成する工程、次いで、前記U溝の内面を含むシリコン基板全面に第2層目の酸化防止膜を被覆する工程、

次いで、前記U溝の内面上部を含むシリコン基板表面の前記第2層目の酸化防止膜を除去する工程、次いで、前記シリコン基板表面を被覆した第1層目の酸化防止膜および前記U溝の内面底部を被覆した第2層目の酸化防止膜を保護マスクとしてU溝内の上部を熱酸化して酸化シリコン膜を生成し、U溝内の上部を閉塞する工程、次いで、前記U溝の上面に酸化シリコン膜を被着して平坦化する工程が含まれる製造方法によつて解決される。

## 〔作用〕

第1図(a)参照；次いで、レジスト膜マスク15を用いてPSG膜14、 $\text{Si}_3\text{N}_4$ 膜13および $\text{SiO}_2$ 膜12をパターンニングした後、塩素系反応ガスを用いたRIEによつてシリコン基板11をエッチングして、幅0.5~1 $\mu\text{m}$ 、深さ4~6 $\mu\text{m}$ のU溝16を形成する。

第1図(b)参照；次いで、レジスト膜マスク15をエッチング除去し、次に、弗酸系エッチング剤を用いてPSG膜14をエッチング除去し、更に、弗酸・硝酸系エッチング剤によつてU溝16の内部をクリーニングする。

第1図(c)参照；次いで、高温熱処理してU溝16の内部を酸化して $\text{SiO}_2$ 膜17（膜厚1000 $\text{\AA}$ ）を生成した後、更に、U溝内面を含む全面にCVD法によつて $\text{SiO}_2$ 膜18（膜厚1000 $\text{\AA}$ ）、 $\text{Si}_3\text{N}_4$ 膜19（第2層目の酸化防止膜；膜厚1000 $\text{\AA}$ ）および $\text{SiO}_2$ 膜20（膜厚1000 $\text{\AA}$ ）を被着する。

第1図(d)参照；次いで、ポジ型レジスト膜21をU溝16を含む全面に塗布し、次に露光量を調整しながら全面露光した後に現像し、U溝16の底部に

即ち、本発明は、多結晶シリコン膜をU溝内に充填することなく、U溝内面上部の側壁を酸化させ、U溝内面に酸化シリコン膜を成長させて、U溝上部を閉塞する。そうすると、U溝底部が空洞になつて、U溝の底部および上部ともにU溝周囲を圧迫してストレスを与えることはなくなる。従つて、結晶欠陥を発生することなく、ICの歩留が改善される。

## 〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図(a)~(d)は本発明にかかる形成方法(1)の工程順断面図を示している。

第1図(a)参照；従来の工程と同様に、シリコン基板11上に $\text{SiO}_2$ 膜12（膜厚1000 $\text{\AA}$ ）および $\text{Si}_3\text{N}_4$ 膜13（第1層目の酸化防止膜；膜厚2000 $\text{\AA}$ ）を積層被着し、その上にPSG膜14（膜厚1 $\mu\text{m}$ ；エッチング保護膜）を被着し、更に、その上に選択的にレジスト膜マスク15を形成する。

のみ露光されないポジ型レジスト膜21を残存させる。例えば、このレジスト膜21はU溝16上部の1 $\mu\text{m}$ 程度の深さを露出させ、それより底部を埋めた状態にする。

第1図(e)参照；次いで、ポジ型レジスト膜21をマスクにして、U溝16上部に露出した $\text{SiO}_2$ 膜20をBHF（緩衝弗酸）溶液によつてエッチング除去して $\text{Si}_3\text{N}_4$ 膜19を露出させ、次に、ポジ型レジスト膜21を除去した後、熱燐酸溶液によつてその $\text{Si}_3\text{N}_4$ 膜19をエッチング除去する。そうすると、 $\text{SiO}_2$ 膜20および $\text{Si}_3\text{N}_4$ 膜19はU溝底部にのみ残存した状態になる。

尚、ここに、BHF（緩衝弗酸）溶液とは、エッチング比が調整できて、安定してエッチング量を制御できるエッチング剤として知られている薬品である。

第1図(f)参照；次いで、酸化雰囲気中で約1000℃程度に加熱し、U溝内面上部の側壁を酸化させて $\text{SiO}_2$ 膜22を溝内面に成長させ、U溝上部を $\text{SiO}_2$ 膜22で閉塞する。この時、U溝底部は空洞に

なつて残る。なお、この側壁の酸化は、U溝16の開口幅が $0.6\mu\text{m}$ なれば両側から3000Åずつ成長させてU溝を閉塞し、又、開口幅が $0.8\mu\text{m}$ なれば両側から4000Åずつ成長させてU溝を閉塞する。

第1図(4)参照；次いで、U溝16上面の凹部を含む基板全面にPSG膜23をCVD法によつて被着し、900~1000℃に加熱してPSG膜23をリフロー（再熔融）した後、余分のPSG膜23を化学研磨によつて除去して、表面を平坦化させる。なお、PSG膜23の代わりにBPSG（硼素珪シリケートガラス）膜を用いても良く、また、SOG（スピノングラス；有機酸化シリコン）膜を塗布し加熱して $\text{SiO}_2$ 膜化する方法を用いても良い。

しかる後、 $\text{Si}_3\text{N}_4$ 膜13を熱磷酸溶液にてエッチング除去して、U溝分離帯を完成する。従つて、本発明にかかるU溝分離帯は内部（底部）に空洞を有する形状であり、従来のような多結晶シリコン膜を充填した構造とは異なる。

次に、第2図(4)~(6)は本発明にかかる形成方法(II)の工程順断面図を示している。

する。なお、本例では第1図に示す $\text{SiO}_2$ 膜20は形成しない。

第2図(4)参照；次いで、SOG膜31をU溝16を含む全面に塗布した後、200℃の低温度でベーキングしてSOG膜31を固化させ、次に、BHF溶液によつてU溝内の上部 $1\mu\text{m}$ 程度までコントロールエッチングして、U溝16の底部にのみSOG膜31を埋めて残存させる。この時、SOG膜31を低温度ベーキングする理由は、U溝に充填したSOG膜にクラックが入らないようにするためである。

第2図(4)参照；次いで、そのSOG膜31をマスクにして、熱磷酸溶液によつて $\text{Si}_3\text{N}_4$ 膜19をエッチング除去し、その後U溝16底部のSOG膜31をBHFによつて除去する。そうすると、第2層目の $\text{Si}_3\text{N}_4$ 膜19はU溝底部のみ残存した状態になる。

第2図(4)参照；次いで、酸化雰囲気中で高温に加熱し、U溝内上部の側壁を酸化させて $\text{SiO}_2$ 膜22を溝内面に成長させてU溝上部を閉塞する。こ

第2図(4)参照；第1図に示す実施例と同じく、シリコン基板11上に $\text{SiO}_2$ 膜12（膜厚1000Å）および $\text{Si}_3\text{N}_4$ 膜13（第1層目の酸化防止膜；膜厚2000Å）を積層被着し、その上にPSG膜14（膜厚 $1\mu\text{m}$ ；エッチング保護膜）を被着し、更に、その上に選択的にレジスト膜マスク15を形成する。

第2図(4)参照；次いで、レジスト膜マスク15を用いてPSG膜14、 $\text{Si}_3\text{N}_4$ 膜13および $\text{SiO}_2$ 膜12をパターンニングした後、RIEによつてシリコン基板11をエッチングして、幅 $0.5\sim 1\mu\text{m}$ 、深さ $4\sim 6\mu\text{m}$ のU溝16を形成する。

第2図(4)参照；次いで、レジスト膜マスク15、PSG膜14をエッチング除去し、更に、U溝16の内部をクリーニングする。以上の工程は第1図に説明した実施例と同じである。

第2図(4)参照；次いで、高温熱処理してU溝16内を酸化して $\text{SiO}_2$ 膜17（膜厚1000Å）を生成した後、更に、U溝内部表面を含む全面にCVD法によつて $\text{SiO}_2$ 膜18（膜厚1000Å）、 $\text{Si}_3\text{N}_4$ 膜19（第2層目の酸化防止膜；膜厚1000Å）を被着

の時、U溝底部は空洞になる。

第2図(4)参照；次いで、U溝上面の凹部を含む基板全面にSOG膜32を塗布し、900~1000℃に加熱して $\text{SiO}_2$ 膜とし、余分のSOG膜32を化学研磨によつて除去して平坦化する。この工程において、SOG膜32の代わりに、PSG膜またはBPSG膜を使用して平坦化してもよい。

しかる後、 $\text{Si}_3\text{N}_4$ 膜13をエッチング除去して、U溝分離帯を完成させる。

以上、2つの実施例で説明したような形成方法によれば、U溝が周囲部分にストレスを与える問題は軽減され、U溝分離帯の形成に基づく結晶欠陥の発生は解消される。

#### [発明の効果]

上記の説明から明らかなように、本発明にかかる製造方法によればU溝分離帯の内部が空洞になり、U溝周囲を圧迫してストレスを与えることはなくなる。そのため、結晶欠陥の発生がなくなつて、ICの歩留向上に顕著に貢献する効果がある。

## 4. 図面の簡単な説明

第1図(a)~(d)は本発明にかかる形成方法(I)の工程順断面図、

第2図(a)~(d)は本発明にかかる形成方法(II)の工程順断面図、

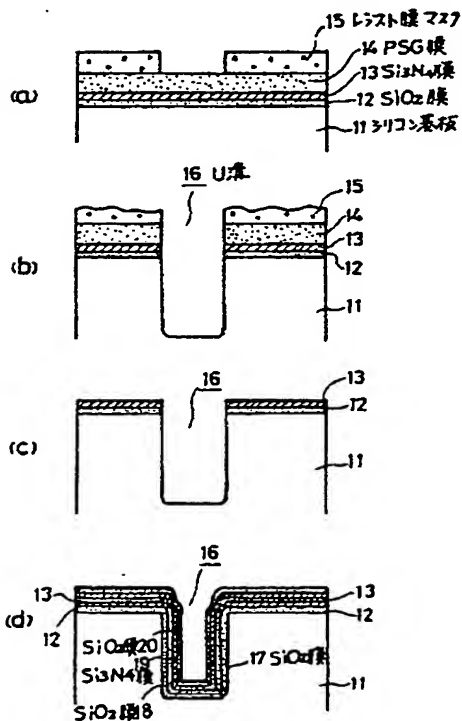
第3図(a)~(f)は従来の形成方法の工程順断面図である。

図において、

- 1, 11はシリコン基板、2, 12は $\text{SiO}_2$ 膜、
- 3, 13は $\text{Si}_3\text{N}_4$ 膜(第1層目の酸化防止膜)、
- 4, 14はPSG膜、
- 5, 15はレジスト膜マスク、
- 6, 16はU溝、7, 17は $\text{SiO}_2$ 膜、
- 8は多結晶シリコン膜、
- 18, 20は $\text{SiO}_2$ 膜、
- 19は $\text{Si}_3\text{N}_4$ 膜(第2層目の酸化防止膜)、
- 21はポジ型レジスト膜、
- 22は $\text{SiO}_2$ 膜、23はPSG膜、
- 31, 32はSOG膜

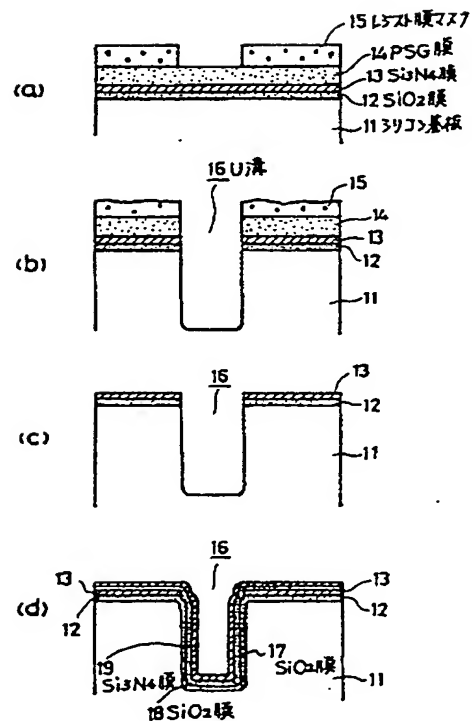
を示している。

代理人 弁理士 井 桁 貞 一



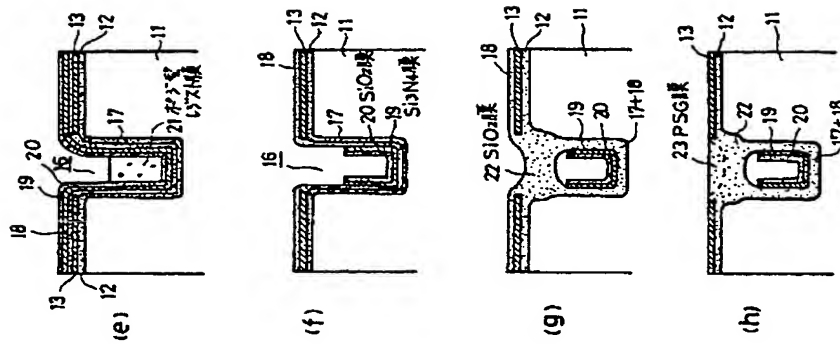
本発明にかかる形成方法(I)の工程順断面図

第1図(a)~(d)

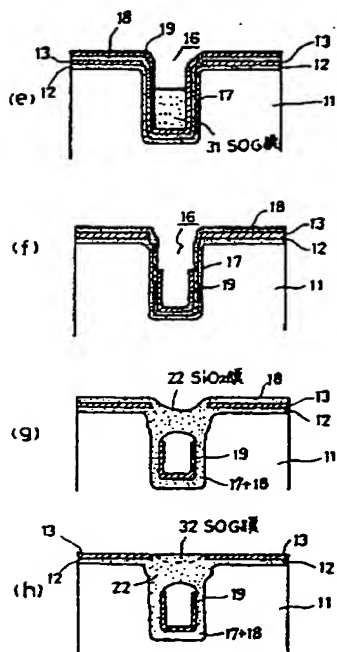


本発明にかかる形成方法(II)の工程順断面図

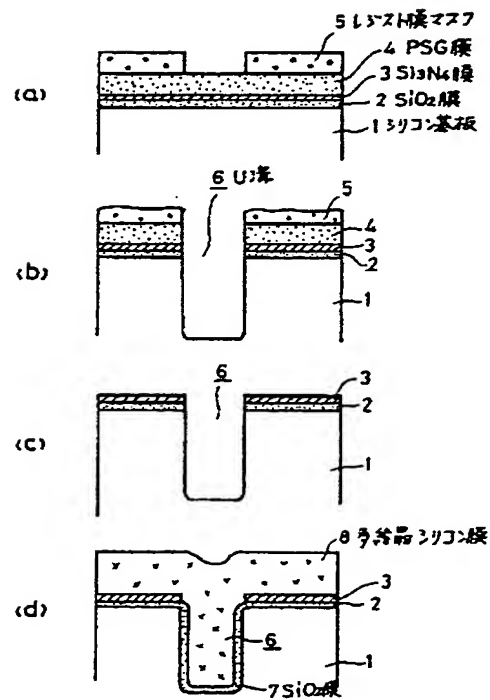
第2図(a)~(d)



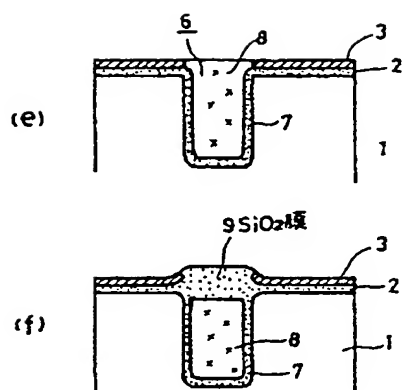
本発明に係る形成方法(Ⅱ)の工程断面図  
第1図(つづき)



本発明に係る形成方法(Ⅲ)の工程断面図  
第2図(つづき)



従来の形成方法の工程断面図  
第3図(つづき)



従来の形成方法の工程横断面図

第3図(4/2)

**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**